

Sujet de stage de master recherche (M2R) 2012 (durée : 6 mois ; stage gratifié)

Laboratoire IM2NP (Marseille)

Equipe Conception de Circuits Intégrés (CCI)

Lieu de stage : IMT Technopôle de Château Gombert (Marseille 13^e)

Poursuite en thèse de doctorat dans l'équipe CCI envisageable (financement ANR obtenu)

Encadrants : Nicolas DEHAESE, Sylvain BOURDEL, Jean GAUBERT

Contact : nicolas.dehaese@im2np.fr

Etude de solutions pour la réduction de la consommation d'un récepteur bande étroite à 2.4 GHz

Contexte

L'équipe CCI (Conception de Circuits Intégrés) du laboratoire IM2NP a développé il y a quelques années un émetteur-récepteur RF bande étroite travaillant dans la bande ISM 2.4GHz destiné aux applications à faible débit, faible coût et faible consommation (similaire aux applications visées par la norme ZigBee). Le niveau de consommation du récepteur était de l'ordre de la centaine de mW. Actuellement, une réduction plus poussée de la consommation des systèmes radios est de plus en plus recherchée à travers les différentes normes de communication (802.15.4a, Bluetooth Low Energy (BLE), etc) afin notamment d'améliorer la durée de vie des batteries et ainsi pouvoir associer ces systèmes sans fil à différents capteurs (température, hygrométrie, présence, etc). Ainsi l'objectif visé en terme de consommation pour la norme BLE est de l'ordre de 10 à 30 mW.

Objectifs de travail

Dans ce contexte, l'objectif de ce stage est d'étudier les solutions envisageables pour diminuer la consommation du récepteur bande étroite 2.4 GHz à un niveau inférieur ou égal à l'objectif de consommation du BLE.

Le récepteur bande étroite développé au laboratoire est constitué d'étages RF classiques (LNA, mélangeurs, OL) et d'une chaîne d'éléments BF qui couplée à un démodulateur (dit AZCD pour *Asynchronous Zero Crossing Demodulator*) permet d'extraire directement la donnée binaire (cf figure 1). Une modulation 2-FSK a été retenue pour ce système et le débit max est de l'ordre du Mbit/s. Le principe du démodulateur FSK (AZCD) est de scruter la projection du signal sur les axes I et Q (au moins) afin de déterminer les passages à 0 sur ces axes. Le sens de variation de la phase du signal modulé, image directe de l'information (0 ou 1) transmise, en est alors déduit.

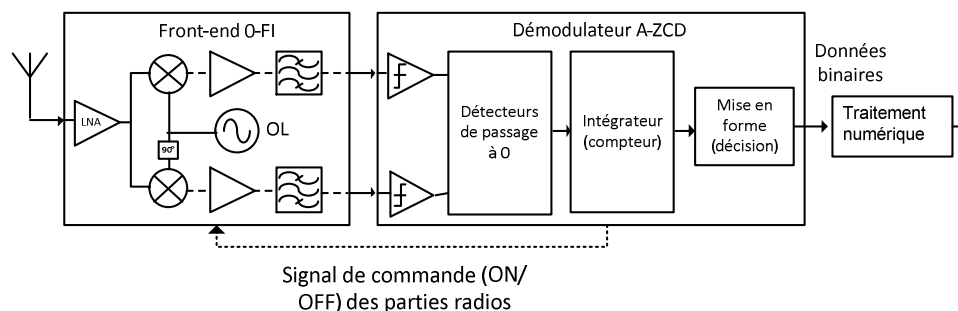


Figure 1. Architecture du récepteur bande étroite à 2.4GHz

Afin de réduire la consommation du récepteur, l'idée générale consiste à observer la phase (sens de rotation) du signal sur des intervalles de temps les plus faibles possibles afin de pouvoir éteindre les fonctions radios, les plus gourmandes en terme de consommation, hors de ces instants d'observation, tel qu'illustré sur la figure 1 (signal de commande ON/OFF des parties radios).

Plan de travail envisageable

Différentes pistes devront être étudiées pour ce contrôle des étages radios. La première piste consiste à réfléchir si une modification du démodulateur AZCD peut être mise en œuvre pour fournir ce signal de commande. Pour cela, la nécessité de l'utilisation d'une horloge (générée à partir du signal binaire démodulé) au rythme binaire ainsi que le nombre d'axes de projection du signal modulé requis (en plus des axes classiques I et Q) devront notamment être considérés.

D'autres architectures de démodulateurs pourront être envisagées (estimation de la phase du signal par une opération de dérivation, etc). La possibilité d'implantation de ces démodulateurs avec de simples convertisseurs-analogiques 1-bit (saturation du signal entre 0 et V_{dd} via des amplificateurs types limiteurs) tels qu'utilisés dans la topologie AZCD devra être étudiée. Un développement de la solution retenue en « tout numérique » (donc avec des convertisseurs de résolution > 1bit) devra être également envisagé.

Ces études se feront dans un premier temps par des développements théoriques en s'appuyant notamment sur différents éléments bibliographiques (docs du labo, état de l'art des démodulateurs ZCD, techniques de réduction de la consommation, etc). Un comparatif des solutions envisageables (réduction théorique de la consommation, complexité des fonctions, facilité d'implantation, etc) sera alors produit à partir des études précédentes. Les solutions retenues seront simulées sur le logiciel ADS (simulations systèmes) afin de valider les concepts théoriques développés. Pour ce faire, la plate-forme de simulation ADS développée par le laboratoire devra être reprise et remise à jour.

Enfin, la conception (*design*) d'un bloc au niveau transistor (Design Kit CMOS 0.13 μ m) sur les logiciels ADS et Cadence sera également abordée. Ce *design* portera sur la circuiterie permettant la commande ON/OFF du LNA.

Compétences recherchées du candidat :

- Connaissance des systèmes radios bandes étroites
- Compétences dans la conception de circuits intégrés CMOS RF et/ou BF
- Utilisation des logiciels Cadence et/ou ADS