

OPERATION MEMOIRES : Moyens Humains

9 permanents
5 ATER
14 doctorants



Rachid
BOUCHAKOUR
(Pr)



Pascal
MASSON
(Pr)

**Mémoires Innovantes Sur Silicium
(MISSi)**



Christophe
MULLER
(Pr)

**Mémoires à
Matériaux Avancés
(MeMatA)**



Pierre
CANET
(MC)

**Analyses de Performances
(AP)**



Jean-Michel
PORTAL
(MC)

**Méthodes d'Analyse de
Défaillances pour Circuits
Logiques et Mémoires
(MADCLM)**



Romain
LAFFONT
(MC)



Gilles
MICAULO
(MC)



Arnaud
REGNIER
(Doct)



Henia
RAGAD
(Doct)



Philippe
FERRANDIS
(MC)



Nicolas
MENOUE
(Doct)



Frédéric
LALANDE
(Pr)



Valery
BOUQUET
(Doct)



Samir
BOUTAHAR
(Doct)



Lionel
FORLI
(Doct)



Hassen
AZIZA
(ATER)



Rossella
RANICA
(Doct)



Romain
WACQUEZ
(Doct)



Fabien
GILBERT
(Doct)



Sétphanie
JACOB
(Doct)



Bertrand
DELSUC
(Doct)



Juliano
RAZAFINDRAMORA
(ATER)



Samir
MOUHOUBI
(Doct)



Bertrand
SAILLET
(Doct)



Manuel
SELLIER
(Doct)



Damien
DELERUYELLE
(ATER)



Laurent
LOPEZ
(ATER)



Sandrine
BERNARDINI
(ATER)



Olivier
MERCIER
(CDD)

L2MP, IMT, Technopole de Château Gombert
13451 MARSEILLE Cedex
Tél: 33 (0) 491 054 780, Fax: 33 (0) 491 054 782
Email: rachid.bouchakour@l2mp.fr
Internet: www.L2MP.fr

Samir BOUTAHAR

Provenance

- DEA Micro-ondes et Micro-technologies, Université des Sciences et Techniques de Lille

Titre de la thèse

Intégration et Fiabilité de nouvelles architectures de cellules mémoires non-volatiles

Directeur de Thèse Frédéric LALANDE

Co-encadrant Pierre CANET

Financement CDD de l'Université de Provence

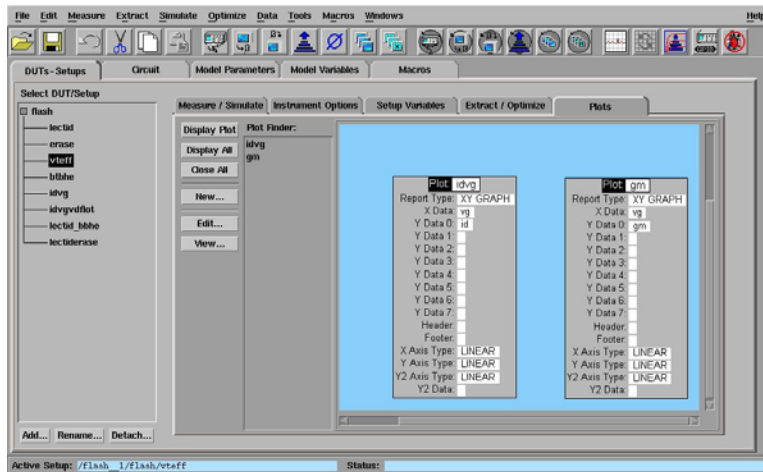
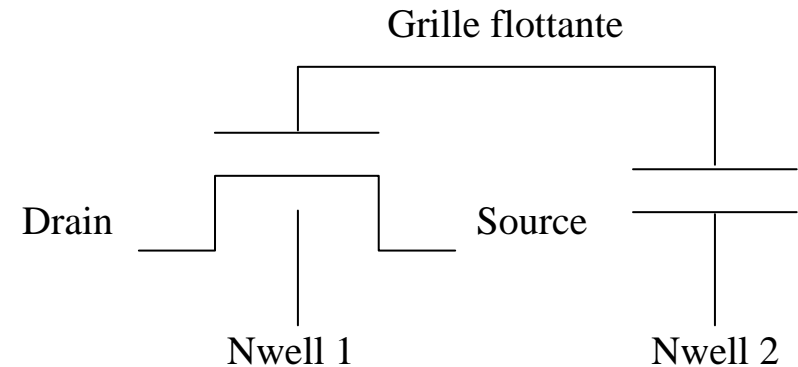
Collaboration STMicroelectronics (Crolles)



Samir BOUTAHAR

Optimisation du fonctionnement des NVM

- Étude par simulation et l'optimisation des modes d'écriture/effacement dans les mémoires non-volatiles : application à une mémoire simple-poly.



Outils de simulation/caractérisation

- Mise au point d'une panoplie d'outils de caractérisation et de simulation permettant de réaliser des études prédictives en termes de performances électriques et de fiabilité pour différents types de composants et circuits CMOS.